

リバースエンジニアリングからみえるもの

リバースエンジニアリングの守備範囲（その1）

植木正雄

筆者が勤務するチップワークスは、カナダの首都オタワ市に本社を置く。リバースエンジニアリングによる製品技術解析や特許侵害調査のほとんどが本社技術スタッフによって実施されている。その技術陣の主要メンバーはチップワークスに勤務するはるか以前から半導体デバイスのリバースエンジニアリング解析の経験を持つ。

半導体業界では、80年代にカナダ、オタワ市に所在する半導体メモリ設計企業であったMosaid TechnologiesがDRAMやSRAMの回路の抽出、分析を行い、その解析結果を回路解析レポートとして世界のメモリメーカーに販売していた。チップワークスはそのMosaidの流れを汲むリバースエンジニアリング解析専門企業だ。

半導体分野のリバースエンジニアリングは、エレクトロニクス製品の分解調査やシステム（ボードレベル）の電氣的動作測定、基板回路解析といった川下の最終製品の解析から半導体デバイス内部の回路解析、プロセス構造解析、材料組成分析、トランジスタDC特性評価そして組み込みソフトウェア解析にまで広範囲に及ぶ。この中でも特に、半導体のリバースエンジニアリングといえば、ICチップ内部に形成された一つひとつのトランジスタなどの素子を識別してそれらの接続状況を調査する回路解析がその筆頭に挙げられる。本稿では、その回路解析現場で具体的にどのようなことが行われているかを説明する。

ICチップはだまかに言って、トランジスタ、キャパシタ、抵抗などの素子を形成するポリシリコン層とそれら素子を内部配線する複数のメタル層から成る。回路解析では、ポリシリコン層上ですべての素子を識別し、各層間のコンタクト/ビアを確認の上、メタル層上の配線をトレースして素子間の接続関係を明らかにする。その抽出データに基づいて回路構成を解釈し、トランジスタ・レベルの回路図を作成する。配線トレースには自社開発の回路解析専用システム Design Analysis Workstation (DAW) を使用している。

一連の回路解析手順を実施する前に、試料の解析前準備を行う。先ずパッケージを開封してICチップを取り出

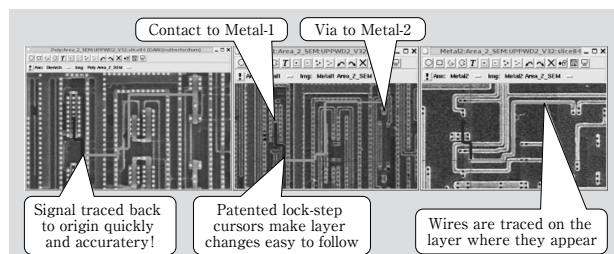


図1. DAWマルチ画面におけるSEM画像表示例。DAWマルチ画面上で同一領域のポリ層とメタル2層のSEM画像を表示して、回路解析作業を実施している様子を示す

す。そして、メタル層とポリシリコン層を各層毎に剥離する。最先端のICではメタル層が10層を超えるものもあり、剥離作業だけでも高度な技巧が求められる。剥離後、回路解析に使用するための各層の高解像度表面写真を撮影する。180nmノード以降の高集積LSIには、光学顕微鏡ではもはや解像度が足りない。特に、最先端製品の量産も90nmから65nmノードに移行しつつある現在、回路解析用の画像撮影はSEM（走査電子顕微鏡）を使用する必要性が生じている。

チップワークスでは、この画像撮影にも自社開発の平面SEM画像撮影装置が活躍している。各層について解析範囲によっては何千枚ものデジタル画像が撮影される。これらを専用ソフトで繋ぎ合わせて各層ごとの高解像度画像が作成される。各層画像は座標付けがなされ、DAWのマルチ画面上で同一領域の各層画像が常に同時表示できるようにしている（図1参照）。

実際の回路解析作業は、トランジスタのW/L実寸法の計測も含めて、これら画面上ですべて行われる。いまや最新デバイスの回路解析を正確かつ効率的に実施するにはこれらの専用ツールが不可欠な時代となった。



CHIPWORKS

植木正雄 / チップワークス代表取締役社長
同社 URL <http://www.chipworks.co.jp/>
お問合せ先 info@chipworks.co.jp